

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 7 9 0 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 7 9 0 8]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 8 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



り

【書類名】 特許願

【整理番号】 EP-0416801

【提出日】 平成14年11月21日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/35

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 森田 晶

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】**【予納台帳番号】** 039491**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9402500**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 駆動回路、電気光学装置及び駆動方法

【特許請求の範囲】

【請求項 1】 複数の画素と、

複数の走査線と、

各信号線が第 1～第 3 の色成分用のデータ信号を多重化して伝送される複数の信号線と、

各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1～第 3 のデマルチプレクス制御信号に基づいてスイッチ制御される第 1～第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

を有する電気光学装置を駆動するための駆動回路であって、

前記第 1～第 3 のデマルチプレクス制御信号を用いて、各走査線に出力されるゲート信号を生成するゲート信号生成回路を含み、

前記ゲート信号生成回路は、

前記第 1～第 3 のデマルチプレクス制御信号に基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を各走査線に出力することを特徴とする駆動回路。

【請求項 2】 請求項 1 において、

前記第 1、第 2、第 3 のデマルチプレクス制御信号の順に周期的にアクティブになり、

前記ゲート信号生成回路は、

前記第 2 又は第 3 のデマルチプレクス制御信号の立ち下がりエッジを検出する立ち下がりエッジ検出回路と、

前記第 1 のデマルチプレクス制御信号又は前記立ち下がりエッジ検出回路の出力信号に基づいて反転する前記シフトクロックを出力する T フリップフロップと、

を含むことを特徴とする駆動回路。

【請求項 3】 請求項 1 において、

前記第 1、第 2、第 3 のデマルチプレクス制御信号の順に周期的にアクティブになり、

前記ゲート信号生成回路は、

前記第 1 のデマルチプレクス制御信号によりセットされ、前記第 2 又は第 3 のデマルチプレクス制御信号によりリセットされる前記シフトクロックを出力する R S フリップフロップを含むことを特徴とする駆動回路。

【請求項 4】 複数の画素と、

複数の走査線と、

各信号線が第 1 ～第 3 の色成分用のデータ信号を多重化して伝送される複数の信号線と、

各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1 ～第 3 のデマルチプレクス制御信号に基づいてスイッチ制御される第 1 ～第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

を有する電気光学装置を駆動するための駆動回路であって、

所与の入力シフトクロックに基づいてシフトクロックを生成し、該シフトクロックに基づく所与のスタートパルス信号のシフト出力に対応した信号を、各走査線に出力するゲート信号生成回路を含み、

前記ゲート信号生成回路は、

前記入力シフトクロックを 3 分周した前記シフトクロックを生成するシフトクロック生成回路と、

前記入力シフトクロックに基づき、前記第 1 ～第 3 の色成分用のデータ信号が多重化されたタイミングに対応した前記第 1 ～第 3 のデマルチプレクス制御信号を生成するデマルチプレクス制御信号生成回路と、

を含むことを特徴とする駆動回路。

【請求項 5】 請求項 4 において、

第 1 ～第 3 のパルス幅設定レジスタを含み、

前記デマルチプレクス制御信号生成回路は、

前記入力シフトクロックの立ち上がりエッジ及び立ち下がりエッジを検出するエッジ検出回路と、

前記エッジ検出回路の出力信号に基づいて前記入力シフトクロックのエッジをカウントするカウンタと、

を含み、

前記第 1 ～ 第 3 のデマルチプレクス制御信号は、

前記カウンタの出力と、前記第 1 ～ 第 3 のパルス幅設定レジスタの設定値との比較結果に基づいて決められるパルス幅を有することを特徴とする駆動回路。

【請求項 6】 複数の画素と、

複数の走査線と、

各信号線が第 1 ～ 第 3 の色成分用のデータ信号を多重化して伝送される複数の信号線と、

各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1 ～ 第 3 のデマルチプレクス制御信号に基づいてスイッチ制御される第 1 ～ 第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

前記第 1 ～ 第 3 のデマルチプレクス制御信号を用いて、各走査線に出力されるゲート信号を生成するゲート信号生成回路と、

を含み、

前記ゲート信号生成回路は、

前記第 1 ～ 第 3 のデマルチプレクス制御信号に基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を各走査線に出力することを特徴とする電気光学装置。

【請求項 7】 請求項 6 において、

前記第 1、第 2、第 3 のデマルチプレクス制御信号の順に周期的にアクティブになり、

前記ゲート信号生成回路は、

前記第 2 又は第 3 のデマルチプレクス制御信号の立ち下がりエッジを検出する立ち下がりエッジ検出回路と、

前記第 1 のデマルチプレクス制御信号又は前記立ち下がりエッジ検出回路の出力信号に基づいて反転する前記シフトクロックを出力する T フリップフロップと、

を含むことを特徴とする電気光学装置。

【請求項 8】 請求項 6 において、

前記第 1、第 2、第 3 のデマルチプレクス制御信号の順に周期的にアクティブになり、

前記ゲート信号生成回路は、

前記第 1 のデマルチプレクス制御信号によりセットされ、前記第 2 又は第 3 のデマルチプレクス制御信号によりリセットされる前記シフトクロックを出力する R S フリップフロップを含むことを特徴とする電気光学装置。

【請求項 9】 複数の画素と、

複数の走査線と、

各信号線が第 1 ～第 3 の色成分用のデータ信号を多重化して伝送される複数の信号線と、

各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1 ～第 3 のデマルチプレクス制御信号に基づいてスイッチ制御される第 1 ～第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

所与の入力シフトクロックに基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を、各走査線に出力するゲート信号生成回路を含み、

前記ゲート信号生成回路は、

前記入力シフトクロックを 3 分周した前記シフトクロックを生成するシフトクロック生成回路と、

前記入力シフトクロックに基づき、前記第 1 ～第 3 の色成分用のデータ信号が多重化されたタイミングに対応した前記第 1 ～第 3 のデマルチプレクス制御信号を生成するデマルチプレクス制御信号生成回路と、

を含むことを特徴とする電気光学装置。

【請求項 10】 請求項 9 において、
第 1 ～ 第 3 のパルス幅設定レジスタを含み、
前記デマルチプレクス制御信号生成回路は、
前記入力シフトクロックの立ち上がりエッジ及び立ち下がりエッジを検出するエッジ検出回路と、
前記エッジ検出回路の出力信号に基づいて前記入力シフトクロックのエッジをカウントするカウンタと、
を含み、
前記第 1 ～ 第 3 のデマルチプレクス制御信号は、
前記カウンタの出力と、前記第 1 ～ 第 3 のパルス幅設定レジスタの設定値との比較結果に基づいて決められるパルス幅を有することを特徴とする電気光学装置。

【請求項 11】 複数の画素と、
複数の走査線と、
各信号線が第 1 ～ 第 3 の色成分用のデータ信号を多重化して伝送される複数の信号線と、
各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1 ～ 第 3 のデマルチプレクス制御信号に基づいてスイッチ制御される第 1 ～ 第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、
を有する電気光学装置を駆動するための駆動方法であって、
前記第 1 ～ 第 3 のデマルチプレクス制御信号に基づいてシフトクロックを生成し、
該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を、各走査線に出力することを特徴とする駆動方法。

【請求項 12】 複数の画素と、
複数の走査線と、
各信号線が第 1 ～ 第 3 の色成分用のデータ信号を多重化して伝送される複数の信号線と、

各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1～第 3 のデマルチプレクス制御信号に基づいてスイッチ制御される第 1～第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

を有する電気光学装置を駆動するための駆動方法であって、

前記入力シフトクロックに基づき、前記第 1～第 3 の色成分用のデータ信号が多重化されたタイミングに対応した前記第 1～第 3 のデマルチプレクス制御信号を生成すると共に、前記入力シフトクロックを 3 分周したシフトクロックを生成し、

前記シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を、各走査線に出力することを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動回路、電気光学装置及び駆動方法に関する。

【0002】

【従来の技術】

液晶 (Liquid Crystal Display: LCD) パネルに代表される表示パネル (広義には電気光学装置) は、各種情報機器の表示部に用いられている。情報機器の小型軽量化や高画質化の要求により、表示パネルの小型化、画素の微細化が望まれている。その 1 つの解決策として、低温ポリシリコン (Low Temperature Poly-Silicon: 以下 LTPS と略す。) プロセスにより、表示パネルを形成することが検討されている。

【0003】

LTPS プロセスによれば、スイッチ素子 (例えば、薄膜トランジスタ (Thin Film Transistor: TFT)) 等を含む画素が形成されるパネル基板 (例えばガラス基板) 上に、駆動回路等を直接形成することができる。そのため、部品数を削減し、表示パネルの小型軽量化が可能となる。また LTPS では、これまでのシリコンプロセスの技術を応用して、開口率を維持したまま画素の微細化を図る

ことができる。更にまた L T P S は、アモルファスシリコン（amorphous silicon: a-Si）に比べて電荷の移動度が大きく、かつ寄生容量が小さい。したがって、画面サイズの拡大により 1 画素当たりの画素選択期間が短くなった場合でも、当該基板上に形成された画素の充電期間を確保し、画質の向上を図ることが可能となる。

【 0 0 0 4 】

【特許文献 1】

特開 2 0 0 2 - 2 3 7 0 9 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

例えば L T P S により T F T が形成される表示パネルでは、該表示パネルを駆動するドライバ（駆動回路）の全部をパネル上に形成することができる。しかしながら、シリコン基板上で I C 化された場合に比べると、微細化や速度の点で問題があり、ドライバの機能の一部を表示パネル上に形成することが検討されている。

【 0 0 0 6 】

そこで、1 本の信号線を、R、G、B 用（第 1 ～ 第 3 の色成分用）の画素電極に接続可能な R、G、B 用信号線のいずれかに接続するデマルチプレクサを設ける表示パネルが考えられる。この場合、L T P S の電荷の移動度が大きいことを利用して、信号線上に、R、G、B 用の表示データが、時分割されて伝送される。そして、当該 R、G、B 用画素の選択期間に、各色成分用の表示データが、デマルチプレクサにより順次 R、G、B 用信号線に切り替えて出力され、各色成分ごとに設けられた画素電極に書き込まれる。このような構成によれば、ドライバから信号線に表示データを出力するための端子の数を削減することができる。そのため、端子間のピッチに制限されることなく、画素の微細化による信号線数の増加にも対応することができる。

【 0 0 0 7 】

しかしながら、ドライバ及び表示パネルを含めた装置全体の低消費電力化をより追求する場合には、表示パネルの端子数を減らすことが望ましい。その際、表

示パネルの画質を劣化させることなく、表示パネルとドライバとの間で伝達される信号の数を削減する必要がある。

【0008】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、例えば電気光学装置と駆動回路とが同一基板上に形成された場合に、画質を劣化させることなく端子数を削減することができる電気光学装置の駆動回路、電気光学装置及びその駆動方法を提供することにある。

【0009】

【課題を解決するための手段】

上記課題を解決するために本発明は、複数の画素と、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいてスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する電気光学装置を駆動するための駆動回路であって、前記第1～第3のデマルチプレクス制御信号を用いて、各走査線に出力されるゲート信号を生成するゲート信号生成回路を含み、前記ゲート信号生成回路は、前記第1～第3のデマルチプレクス制御信号に基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を各走査線に出力する駆動回路に関係する。

【0010】

本発明においては、各信号線に時分割されて出力される各色成分用のデータ信号は、第1～第3のデマルチプレクス制御信号により各色成分用信号線に切り替えて出力される。したがって、第1～第3のデマルチプレクス制御信号により、各走査線に接続される画素の選択期間を特定することができる。そこで、第1～第3のデマルチプレクス制御信号を用いてシフトクロックを生成し、該シフトクロックを用いてスタートパルス信号をシフトして得られるシフト出力に対応した信号を各走査線に出力させることができる。これにより、シフトクロックを外部

から与える必要がなくなり、機能を削ることなく（画質を劣化させることなく）シフトクロックの入力端子を削減することができる。その結果、低コスト化及び低消費電力化を図ることができる。

【0011】

また本発明に係る駆動回路では、前記第1、第2、第3のデマルチプレクス制御信号の順に周期的にアクティブになり、前記ゲート信号生成回路は、前記第2又は第3のデマルチプレクス制御信号の立ち下がりエッジを検出する立ち下がりエッジ検出回路と、前記第1のデマルチプレクス制御信号又は前記立ち下がりエッジ検出回路の出力信号に基づいて反転する前記シフトクロックを出力するTフリップフロップとを含むことができる。

【0012】

本発明においては、各走査線に接続される画素の選択期間において、第1、第2、第3のデマルチプレクス制御信号が順にアクティブとなる。したがって、第1のデマルチプレクス制御信号の立ち上がりと、第2又は第3のデマルチプレクス制御信号の立ち下がりとをTフリップフロップに入力させることで、当該選択期間を周期とするシフトクロックを容易に生成することができる。したがって、LTPSプロセスでゲート信号生成回路を形成することができる。そのため、例えば表示パネルと同一基板上に形成することで、表示パネルの低消費電力化及び小型軽量化を図ることができる。

【0013】

また本発明に係る駆動回路では、前記第1、第2、第3のデマルチプレクス制御信号の順に周期的にアクティブになり、前記ゲート信号生成回路は、前記第1のデマルチプレクス制御信号によりセットされ、前記第2又は第3のデマルチプレクス制御信号によりリセットされる前記シフトクロックを出力するRSフリップフロップを含むことができる。

【0014】

本発明によれば、RSフリップフロップにより構成できるため、回路規模の縮小化と共に上述と同様の効果を得ることができる。

【0015】

また本発明は、複数の画素と、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいてスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する電気光学装置を駆動するための駆動回路であって、所与の入力シフトクロックに基づいてシフトクロックを生成し、該シフトクロックに基づく所与のスタートパルス信号のシフト出力に対応した信号を、各走査線に出力するゲート信号生成回路を含み、前記ゲート信号生成回路は、前記入力シフトクロックを3分周した前記シフトクロックを生成するシフトクロック生成回路と、前記入力シフトクロックに基づき、前記第1～第3の色成分用のデータ信号が多重化されたタイミングに対応した前記第1～第3のデマルチプレクス制御信号を生成するデマルチプレクス制御信号生成回路とを含む駆動回路に係る。

【0016】

本発明においては、シフトクロックは、入力シフトクロックを3分周して得られる。すなわち、入力シフトクロックの周波数は、シフトクロックの周波数の3倍であることを意味する。したがって、入力シフトクロック又は該入力シフトクロックにより生成される信号は、シフトクロックよりも多くのエッジ情報を有する。そして、このような入力シフトクロックから、第1～第3の色成分用のデータ信号の多重化タイミングに合わせて、各色成分用のデータ信号を切り替え出力するための第1～第3のデマルチプレクス制御信号を生成する。これにより、入力シフトクロックの入力端子が必要となるが、少なくとも2ビット以上必要とする第1～第3のデマルチプレクス制御信号を外部から供給する必要がなくなる。その結果として、機能を削ることなく（画質を劣化させることなく）端子数を削減することができる。

【0017】

また本発明に係る駆動回路では、第1～第3のパルス幅設定レジスタを含み、前記デマルチプレクス制御信号生成回路は、前記入力シフトクロックの立ち上が

リエッジ及び立ち下がりエッジを検出するエッジ検出回路と、前記エッジ検出回路の出力信号に基づいて前記入力シフトクロックのエッジをカウントするカウンタとを含み、前記第1～第3のデマルチプレクス制御信号は、前記カウンタの出力と、前記第1～第3のパルス幅設定レジスタの設定値との比較結果に基づいて決められるパルス幅を有することができる。

【0018】

本発明によれば、入力シフトクロックのエッジを任意に選択可能とし、該入力シフトクロックのエッジにより第1～第3のデマルチプレクス制御信号のパルス幅を設定するようにしたので、端子数の削減による低消費電力化を図ると共に、表示パネルの階調特性に対して柔軟に対応することができるようになる。

【0019】

また本発明は、複数の画素と、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいてスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、前記第1～第3のデマルチプレクス制御信号を用いて、各走査線に出力されるゲート信号を生成するゲート信号生成回路とを含み、前記ゲート信号生成回路は、前記第1～第3のデマルチプレクス制御信号に基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を各走査線に出力する電気光学装置に係る。

【0020】

また本発明に係る電気光学装置では、前記第1、第2、第3のデマルチプレクス制御信号の順に周期的にアクティブになり、前記ゲート信号生成回路は、前記第2又は第3のデマルチプレクス制御信号の立ち下がりエッジを検出する立ち下がりエッジ検出回路と、前記第1のデマルチプレクス制御信号又は前記立ち下がりエッジ検出回路の出力信号に基づいて反転する前記シフトクロックを出力するTフリップフロップとを含むことができる。

【0021】

また本発明に係る電気光学装置では、前記第1、第2、第3のデマルチプレクス制御信号の順に周期的にアクティブになり、前記ゲート信号生成回路は、前記第1のデマルチプレクス制御信号によりセットされ、前記第2又は第3のデマルチプレクス制御信号によりリセットされる前記シフトクロックを出力するRSフリップフロップを含むことができる。

【0022】

また本発明は、複数の画素と、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいてスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、所与の入力シフトクロックに基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を、各走査線に出力するゲート信号生成回路を含み、前記ゲート信号生成回路は、前記入力シフトクロックを3分周した前記シフトクロックを生成するシフトクロック生成回路と、前記入力シフトクロックに基づき、前記第1～第3の色成分用のデータ信号が多重化されたタイミングに対応した前記第1～第3のデマルチプレクス制御信号を生成するデマルチプレクス制御信号生成回路とを含む電気光学装置に係る。

【0023】

また本発明に係る電気光学装置では、第1～第3のパルス幅設定レジスタを含み、前記デマルチプレクス制御信号生成回路は、前記入力シフトクロックの立ち上がりエッジ及び立ち下がりエッジを検出するエッジ検出回路と、前記エッジ検出回路の出力信号に基づいて前記入力シフトクロックのエッジをカウントするカウンタとを含み、前記第1～第3のデマルチプレクス制御信号は、前記カウンタの出力と、前記第1～第3のパルス幅設定レジスタの設定値との比較結果に基づいて決められるパルス幅を有することができる。

【0024】

また本発明は、複数の画素と、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいてスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する電気光学装置を駆動するための駆動方法であって、前記第1～第3のデマルチプレクス制御信号に基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を、各走査線に出力する駆動方法に係する。

【0025】

また本発明は、複数の画素と、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいてスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する電気光学装置を駆動するための駆動方法であって、前記入力シフトクロックに基づき、前記第1～第3の色成分用のデータ信号が多重化されたタイミングに対応した前記第1～第3のデマルチプレクス制御信号を生成すると共に、前記入力シフトクロックを3分周したシフトクロックを生成し、前記シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応した信号を、各走査線に出力する駆動方法に係する。

【0026】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0027】

また以下では、電気光学装置として、LTPSによりスイッチ素子としてTF

Tが形成された表示パネル（液晶パネル）を例に説明するが、本発明はこれに限定されるものではない。

【0028】

1. 第1の実施形態

図1に、第1の実施形態における表示パネルの構成の概要を示す。第1の実施形態における表示パネル（広義には電気光学装置）10は、複数の走査線（ゲート線）と、複数の信号線（データ線）と、複数の画素とを含む。複数の走査線と複数の信号線とは、互いに交差するように配置される。画素は、走査線と信号線とにより特定される。

【0029】

表示パネル10では、各走査線（GL）及び各信号線（SL）により3画素単位で選択される。選択された各画素には、信号線に対応する3本の色成分用信号線（R、G、B）のいずれかを伝送する各色成分用信号が書き込まれる。各画素は、TFTと画素電極とを含む。

【0030】

表示パネル10では、例えばガラス基板等のパネル基板上に走査線及び信号線が形成される。より具体的には、図1に示すパネル基板上に、Y方向に複数配列されそれぞれX方向に伸びる走査線GL₁～GL_M（Mは2以上の整数）と、X方向に複数配列されそれぞれY方向に伸びる信号線SL₁～SL_N（Nは2以上の整数）とが形成されている。更に該パネル基板上には、X方向に第1～第3の色成分用信号線を1組として複数組配列されそれぞれY方向に伸びる色成分用信号線（R₁、G₁、B₁）～（R_N、G_N、B_N）が形成されている。

【0031】

走査線GL₁～GL_Mと、第1の色成分用信号線R₁～R_Nとの交差位置に、R用画素（第1の色成分用画素）PR（PR₁₁～PR_{MN}）が設けられている。走査線GL₁～GL_Mと、第2の色成分用信号線G₁～G_Nとの交差位置に、G用画素（第2の色成分用画素）PG（PG₁₁～PG_{MN}）が設けられている。走査線GL₁～GL_Mと、第3の色成分用信号線B₁～B_Nとの交差位置に、B用画素（第3の色成分用画素）PB（PB₁₁～PB_{MN}）が設けられている。

。

【0032】

図2 (A)、(B)に、色成分用画素の構成例を示す。ここでは、R用画素 P_{mn} ($1 \leq m \leq M$ 、 $1 \leq n \leq N$ 、 m 、 n は整数)の構成例を示すが、他の色成分用画素の構成も同様である。

【0033】

図2 (A)において、第1のスイッチ素子 $SW1$ としての $TF T_{mn}$ は n 型トランジスタである。 $TF T_{mn}$ のゲート電極は、走査線 GL_m に接続される。 $TF T_{mn}$ のソース電極は、第1の色成分用信号線 R_n に接続される。 $TF T_{mn}$ のドレイン電極は、画素電極 PE_{mn} に接続される。画素電極 PE_{mn} に対向して、対向電極 CE_{mn} が設けられている。対向電極 CE_{mn} には、コモン電圧 V_{COM} が印加される。画素電極 PE_{mn} と対向電極 CE_{mn} の間には、液晶材が挟持されて液晶層 LC_{mn} が形成される。画素電極 PE_{mn} と対向電極 CE_{mn} との間の電圧に応じて、液晶層 LC_{mn} の透過率が変化する。また、画素電極 PE_{mn} の電荷のリークを補うため、画素電極 PE_{mn} と対向電極 CE_{mn} と並列に補助容量 CS_{mn} が形成される。補助容量 CS_{mn} の一端は、画素電極 PE_{mn} と同電位にされる。補助容量 CS_{mn} の他端は、対向電極 CE_{mn} と同電位にされる。

【0034】

また図2 (B)に示すように、第1のスイッチ素子 $SW1$ としてトランスファゲートを用いることも可能である。トランスファゲートは、 n 型トランジスタである $TF T_{mn}$ と、 p 型トランジスタである $pTF T_{mn}$ とにより構成される。 $pTF T_{mn}$ のゲート電極は、走査線 GL_m と互いに論理レベルが反転する走査線 XGL_m に接続される必要がある。図2 (B)では、書き込むべき電圧に応じたオフセット電圧を不要とする構成をとることができる。

【0035】

また図1において、パネル基板には、ゲート信号生成回路20と、各信号線に対応して設けられたデマルチプレクサ (demultiplexer) $DMUX_1 \sim DMUX_N$ とが設けられている。

【0036】

ゲート信号生成回路20には、走査線 $GL_1 \sim GL_M$ が接続される。またゲート信号生成回路20には、デマルチプレクス制御信号と、スタートパルス信号 STV とが入力される。デマルチプレクス制御信号は、各デマルチプレクサのスイッチ制御を行うための信号である。スタートパルス信号 STV は、1フレームの走査期間の開始タイミングを示すパルス信号である。

【0037】

ゲート信号生成回路20は、スタートパルス信号 STV を基に、ゲート信号（選択信号） $GATE_1 \sim GATE_M$ を生成する。ゲート信号 $GATE_1 \sim GATE_M$ は、それぞれ走査線 $GL_1 \sim GL_M$ に出力される。ゲート信号 $GATE_1 \sim GATE_M$ は、スタートパルス信号 STV により開始される1フレームの走査期間においていずれか1つがアクティブとなるパルス信号である。

【0038】

図1において、第1～第3のスイッチ素子 $SW_1 \sim SW_3$ は、走査線 GL_m に供給されたゲート信号 $GATE_m$ によりスイッチ制御（オン・オフ制御）される。各スイッチ素子がオン状態のとき、各色成分用信号線と各画素電極とが電氣的に接続される。

【0039】

このようなゲート信号 $GATE_1 \sim GATE_M$ は、例えばスタートパルス信号 STV をシフトレジスタによりシフトしたシフト出力に対応した信号である。

【0040】

シフトレジスタは、複数のフリップフロップ（flip-flop）を有し、各フリップフロップに共通に入力されたシフトクロックに基づいてシフト動作を行う。シフトクロックは、各走査線を順次選択するタイミングを規定するタイミング信号である。このシフトクロックは、ゲート信号生成回路20において、デマルチプレクス制御信号に基づいて生成される。

【0041】

デマルチプレクス制御信号は、例えば表示パネル10の外部に設けられたソースドライバ（信号線駆動回路）から供給される。また信号線 $SL_1 \sim SL_N$ は、

例えば表示パネル 10 の外部に設けられたソースドライバ（信号線駆動回路）により駆動される。ソースドライバは、各色成分用の画素に、階調データに対応したデータ信号を出力する。この際、ソースドライバは、色成分用画素ごとに時分割され各色成分の階調データに対応した電圧（データ信号）を、各色成分用信号線に出力する。そしてソースドライバは、時分割のタイミングに合わせて、各色成分の階調データに対応した電圧を各色成分用信号線に選択出力するためのデマルチプレクス制御信号を生成し、表示パネル 10 に対して出力する。

【0042】

図 3 に、ソースドライバにより信号線に出力されるデータ信号とデマルチプレクス制御信号との関係を模式的に示す。ここでは、信号線 SL_n に出力されたデータ信号 $DATA_n$ を示す。

【0043】

ソースドライバは、信号線ごとに、各色成分用の階調データ（表示データ）に対応した電圧が時分割により多重化されたデータ信号を出力する。図 3 では、ソースドライバは、R 用画素への書込信号、G 用画素への書込信号及び B 用画素への書込信号を多重化して信号線 SL_n に出力する。ここで、R 用画素への書込信号は、信号線 SL_n に対応する R 用画素 $PR_{1n} \sim PR_{Mn}$ のうち、例えば走査線 GL_m により選択される R 用画素 PR_{mn} への書込信号である。G 用画素への書込信号は、信号線 SL_n に対応する G 用画素 $PG_{1n} \sim PG_{Mn}$ のうち、例えば走査線 GL_m により選択される G 用画素 PG_{mn} への書込信号である。B 用画素への書込信号は、信号線 SL_n に対応する B 用画素 $PB_{1n} \sim PB_{Mn}$ のうち、例えば走査線 GL_m により選択される B 用画素 PB_{mn} への書込信号である。

【0044】

またソースドライバは、データ信号 $DATA_n$ において多重化される各色成分用書込信号の時分割タイミングに合わせて、デマルチプレクス制御信号を生成する。デマルチプレクス制御信号は、第 1 ～ 第 3 のデマルチプレクス制御信号（ $Rsel$ 、 $Gsel$ 、 $Bsel$ ）からなる。

【0045】

またパネル基板上には、信号線 SL_n に対応するデマルチプレクサ $DMUX_n$

が設けられている。デマルチプレクサ $DMUX_n$ は、第1～第3 ($i=3$) のデマルチプレクス用スイッチ素子 $DSW1 \sim DSW3$ を含む。

【0046】

デマルチプレクサ $DMUX_n$ の出力側には、第1～第3の色成分用信号線 (R_n 、 G_n 、 B_n) が接続される。また、入力側には、信号線 SL_n が接続される。デマルチプレクサ $DMUX_n$ は、デマルチプレクス制御信号に応じて、信号線 SL_n と、第1～第3の色成分用信号線 (R_n 、 G_n 、 B_n) のいずれかとを、電氣的に接続する。デマルチプレクサ $DMUX_1 \sim DMUX_N$ には、それぞれ共通にデマルチプレクス制御信号が入力される。

【0047】

第1のデマルチプレクス用スイッチ素子 $DSW1$ は、第1のデマルチプレクス制御信号 $Rsel$ によりオン・オフ制御される。第2のデマルチプレクス用スイッチ素子 $DSW2$ は、第2のデマルチプレクス制御信号 $Gsel$ によりオン・オフ制御される。第3のデマルチプレクス用スイッチ素子 $DSW3$ は、第3のデマルチプレクス制御信号 $Bsel$ によりオン・オフ制御される。第1～第3のデマルチプレクス制御信号 ($Rsel$ 、 $Gsel$ 、 $Bsel$) は周期的に順次アクティブとなる。そのため、デマルチプレクサ $DMUX_n$ は、周期的に、信号線 SL_n と第1～第3の色成分用信号線 (R_n 、 G_n 、 B_n) とを順次電氣的に接続する。

【0048】

このような構成の表示パネル10において、時分割された第1～第3の色成分用の階調データに対応した電圧が、信号線 SL_n に出力される。デマルチプレクサ $DMUX_n$ では、時分割タイミングに合わせて生成された第1～第3のデマルチプレクス制御信号 ($Rsel$ 、 $Gsel$ 、 $Bsel$) により、各色成分の階調データに対応した電圧が、第1～第3の色成分用信号線 (R_n 、 G_n 、 B_n) に印加される。このとき、走査線 GL_m により選択された第1～第3の色成分用画素 (PR_{mn} 、 PG_{mn} 、 PB_{mn}) のいずれかにおいて、色成分用信号線と画素電極とが電氣的に接続される。

【0049】

なお図1において、スタートパルス信号STVを生成する回路の機能の一部又は全部、或いは上述のソースドライバの機能の一部又は全部の機能を有する回路を、表示パネル10のパネル基板上に形成するようにしてもよい。

【0050】

表示パネル10の駆動回路の機能は、ゲート信号生成回路20、デマルチプレクサDMUX₁～DMUX_N及び上述の機能を有するソースドライバにより構成される回路の一部又は全部により実現される。

【0051】

ゲート信号生成回路20は、以下のようにゲート信号を生成する。

【0052】

図4に、ゲート信号生成回路20の構成例を示す。ゲート信号生成回路20は、シフトレジスタ30と、シフトクロック生成回路40とを含む。

【0053】

シフトレジスタ30は、複数のフリップフロップFF₁～FF_Mを含む。フリップフロップFF_p ($1 \leq p \leq M-1$ 、 p は整数)の出力は、次の段のフリップフロップFF_{p+1}の入力に接続される。フリップフロップFF_pの出力は、走査線GL_pに接続される。

【0054】

フリップフロップFF_pは、入力端子Dと、クロック入力端子Cと、出力端子Qと、リセット端子Rとを有する。フリップフロップFF_pは、クロック入力端子Cへの入力信号の立ち上がりで、入力端子Dへの入力信号をラッチする。そしてフリップフロップFF_pは、ラッチした信号を、出力端子Qから出力する。またフリップフロップFF_pは、リセット端子Rへの入力信号の論理レベルが「H」となったとき、ラッチした内容を初期化し、出力端子Qからの出力信号を論理レベル「L」にする。

【0055】

フリップフロップFF₁の入力端子Dには、スタートパルス信号STVが入力される。フリップフロップFF₁～FF_Mの各リセット端子Rには、所与のリセット信号RSTが共通に入力される。またフリップフロップFF₁～FF_Mの各

クロック入力端子Cには、シフトクロック生成回路40によって生成されるシフトクロックICPVが入力される。

【0056】

このような構成のシフトレジスタ30では、まずリセット信号RSTにより各フリップフロップの出力がリセットされる。そして、フリップフロップFF₁に入力されたスタートパルス信号STVは、シフトクロックICPVに同期してシフトされる。各フリップフロップからのシフト出力又はこれに対応した信号は、走査線GL₁～GL_Mに出力される。これにより、走査線GL₁～GL_Mに、各走査線が排他的に選択されるゲート信号GATE₁～GATE_Mを出力することができる。

【0057】

シフトクロック生成回路40は、デマルチプレクス制御信号に基づいて、シフトクロックICPVを生成する。

【0058】

図5に、シフトクロック生成回路40の構成例を示す。ここでは、デマルチプレクス制御信号を構成する第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)のうち、第1及び第3のデマルチプレクス制御信号(Rsel、Bsel)を用いてシフトクロックを生成する回路の構成例を示す。

【0059】

シフトクロック生成回路40は、Tフリップフロップ(T flip-flop: TFF)42と、立ち下がりエッジ検出回路44とを含む。TFF42は、そのクロック入力端子Cへの入力信号の立ち上がりで、その出力端子Qから出力されるシフトクロックICPVの論理レベルを反転させる。またTFF42は、そのリセット入力端子Rへの入力信号により、出力端子Qからの出力信号の論理レベルを「L」にする。

【0060】

立ち下がりエッジ検出回路44は、第3のデマルチプレクス制御信号Bselの立ち下がりエッジを検出する。より具体的には、立ち下がりエッジ検出回路44は、第3のデマルチプレクス制御信号Bselの立ち下がりエッジがその立ち

上がりとなるパルス信号を出力する。該パルス信号のパルス幅は、遅延素子 46 の遅延時間によって決められる。

【0061】

TFF42の入力端子Cには、第1のデマルチプレクス制御信号Rselと、立ち下がりエッジ検出回路44の出力との論理和演算結果が入力される。

【0062】

このような構成のシフトクロック生成回路40は、第1のデマルチプレクス制御信号Rselの立ち上がりでその論理レベルが変化するシフトクロックICPVを生成する。またシフトクロック生成回路40は、第3のデマルチプレクス制御信号Bselの立ち下がりでその論理レベルが変化するシフトクロックICPVを生成する。

【0063】

図6に、シフトクロック生成回路40の動作例のタイミングチャートを示す。TFF42では、まずリセット信号RSTによりその出力端子Qから出力されるシフトクロックICPVがリセットされた状態とする。その後、第1のデマルチプレクス制御信号Rselの立ち上がりで、TFF42の出力信号の論理レベルが反転され、シフトクロックICPVの論理レベルが「H」となる(t1)。続いて、第3のデマルチプレクス制御信号Bselの立ち下がりで、TFF42の出力信号の論理レベルが反転され、シフトクロックICPVの論理レベルが「L」となる(t2)。

【0064】

以降、TFF42では、第1のデマルチプレクス制御信号Rselの立ち上がり、又は第3のデマルチプレクス制御信号Bselの立ち下がりで、その出力信号の論理レベルの反転動作が繰り返される。

【0065】

その結果、第1、第2、第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)が順にアクティブとなる期間T0を1周期とするシフトクロックICPVが生成される。

【0066】

図7に、表示パネル10における動作タイミング例のタイミングチャートを示す。表示パネル10の各信号線には、図示しないソースドライバにより、各信号線に、各色成分用信号が時分割で多重化された信号が出力される。また該ソースドライバは、各色成分用信号の時分割タイミングに同期した第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)を、表示パネル10に対して出力する。また表示パネル10には、該ソースドライバ又は該ソースドライバ以外の外部回路により、スタートパルス信号STVが入力される。

【0067】

スタートパルス信号STVを表示パネル10に供給する回路は、上述のソースドライバにより各信号線への各色成分用信号の出力タイミングに同期して動作するようになっている。そのため、例えば図7に示すように、第1のデマルチプレクス制御信号Rselが、スタートパルス信号STVとオーバーラップ期間を有するように表示パネル10に供給される。

【0068】

シフトクロック生成回路40では、図6に示したようにTFF42の出力信号がリセットされると、第1のデマルチプレクス制御信号Rselの立ち上がりでシフトクロックICPVの論理レベルが「H」に変化する。そして、図4に示すゲート信号生成回路20により、スタートパルス信号STVの初段のシフト出力が、ゲート信号GATE₁として出力される。

【0069】

したがって、図7に示す期間T0が1水平走査期間(1H)となり、走査線GL₁により選択される各画素に、信号線SL₁～SL_Nを介して各色成分用信号が書き込まれる。より具体的には、当該1H期間内で、第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)によりそれぞれ第1～第3の色成分用信号線に切り替え出力された各色成分用の階調データに対応した電圧が、ゲート信号GATE₁により選択されるR用画素PR₁₁～PR_{1N}、G用画素PG₁₁～PG_{1N}、B用画素PB₁₁～PB_{1N}に書き込まれる。

【0070】

第1のデマルチプレクス制御信号Rselの立ち上がりによって論理レベル「

H」となったシフトクロック ICPV は、当該 1 H 期間内での第 3 のデマルチプレクス制御信号 Bsel の立ち下がりで論理レベル「L」に変化する。そして、再び次の 1 H 期間内での第 1 のデマルチプレクス制御信号 Rsel の立ち上がりで、シフトクロック ICPV の論理レベルが「H」に変化する。

【0071】

これ以降同様に、期間 T0 を経過するごとに、走査線 GL₂ ~ GL_M に順次シフト出力に対応したゲート信号が出力されることになる。

【0072】

次に、比較例における表示パネルとの対比において、上述の実施形態の効果を説明する。

【0073】

図 8 に、比較例における表示パネルの構成の概要を示す。ただし、図 1 に示す表示パネル 10 と同一部分には同一符号を付し、適宜説明を省略する。

【0074】

比較例における表示パネル 100 が図 1 に示す表示パネル 10 と異なる点は、ゲート信号生成回路 20 を有しない点である。したがって、比較例における表示パネル 100 では、走査線 GL₁ ~ GL_M に、図示しない外部のゲートドライバによりゲート信号 GATE₁ ~ GATE_M が供給される。

【0075】

なお比較例における表示パネル 100 の動作タイミングは、スタートパルス信号 STV、ゲート信号 GATE₁ ~ GATE_M、第 1 ~ 第 3 のデマルチプレクス制御信号 (Rsel、Gsel、Bsel) 及びデータ信号 DATA_n に関して表示パネル 10 の動作タイミングと共通である (図 7 参照)。

【0076】

しかしながら、表示パネル 10 と表示パネル 100 との端子の数を比較すると、表示パネル 100 では、ゲート信号及びデマルチプレクス制御信号を入力するための端子の数「M+3」が必要とされる。

【0077】

そこで、表示パネル 100 を構成するパネル基板上に、ゲート信号を生成する

回路を形成し、端子数を削減する手法が考えられる。この場合、データ信号の出力タイミングと同期をとる必要があるため、少なくともスタートパルス信号STV及びシフトクロックは表示パネル100の外部から供給される。したがって、表示パネル100では、スタートパルス信号STV、シフトクロック及びデマルチプレクス制御信号を入力するための端子の数が「5」に削減される。LTPSプロセスにより回路の形成が可能なパネル基板上には、歩留まり、回路規模、速度又はコスト等を考慮すると、ソースドライバのような複雑な回路を形成することが困難である。

【0078】

これに対して、表示パネル10では、パネル基板上にゲート信号生成回路20が設けられる。したがって、表示パネル10ではゲート信号生成回路20においてシフトクロックが生成されるため、スタートパルス信号STV及びデマルチプレクス制御信号を入力するための端子の数を「4」に削減することができる。このため、より低消費電力を図ることができる。

【0079】

1. 1 第1の変形例

LTPSによりTF Tが形成される表示パネル上に形成されるゲート信号生成回路20のシフトクロック生成回路40は、図5に示したものに限定されるものではない。

【0080】

図9に、第1の変形例におけるシフトクロック生成回路の構成例を示す。ただし、図5に示すシフトクロック生成回路40と同一部分には同一符号を付し、適宜説明を省略する。

【0081】

図4に示すゲート信号生成回路20は、シフトクロック生成回路40に代えて第1の変形例におけるシフトクロック生成回路120を適用することができる。シフトクロック生成回路120がシフトクロック生成回路40と異なる点は、立ち下がりエッジ検出回路44が第2のデマルチプレクス制御信号Gselの立ち下がりエッジを検出する点である。

【0082】

図10に、第1の変形例におけるシフトクロック生成回路120の動作例のタイミングチャートを示す。シフトクロック生成回路120では、第2のデマルチプレクス制御信号Gselの立ち下がりエッジが検出されるため、TFF42の出力端子Qからは、第2のデマルチプレクス制御信号Gselの立ち下がりエッジで論理レベル「L」に変化するシフトクロックICPVが出力される(t3)。その他については、図6に示すタイミングチャートと共通である。

【0083】

第1の変形例においても、表示パネル内でシフトクロックを生成することができるので、上述の実施形態と同様に端子数を削減することができるという効果が得られる。

【0084】

1. 2 第2の変形例

ゲート信号生成回路20のシフトクロック生成回路は、図5及び図9に示したようにTFFを用いてシフトクロックICPVを生成するようにしていたが、これに限定されるものではない。

【0085】

図11に、第2の変形例におけるシフトクロック生成回路の構成例を示す。図4に示すゲート信号生成回路20は、シフトクロック生成回路40に代えて第2の変形例におけるシフトクロック生成回路140を適用することができる。

【0086】

シフトクロック生成回路140は、RSフリップフロップ(Reset Set flip-flop: RSFF)142を含む。RSFF142は、セット端子Sと、リセット端子Rと、出力端子Qとを有する。RSFF142では、セット端子Sへの入力信号の論理レベルが「H」になると、出力端子Qからの出力信号がセットされ、論理レベル「H」となる。またRSFF142では、リセット端子Rへの入力信号の論理レベルが「H」になると、出力端子Qからの出力信号がリセットされ、論理レベル「L」となる。

【0087】

RSFF142のセット端子Sには、第1のデマルチプレクス制御信号Rselが入力される。RSFF142のリセット端子Rには、第3のデマルチプレクス制御信号Bselが入力される。RSFF142の出力端子Qからは、シフトクロックICPVが出力される。

【0088】

このような構成のシフトクロック生成回路140では、第1のデマルチプレクス制御信号Rselによりセットされ、第3のデマルチプレクス制御信号BselによりリセットされるシフトクロックICPVが生成される。

【0089】

図12に、第2の変形例におけるシフトクロック生成回路140の動作例のタイミングチャートを示す。シフトクロック生成回路140では、第1のデマルチプレクス制御信号Rselの立ち上がりによりRSFF142の出力信号がセットされる。そのため、シフトクロックICPVの論理レベルが「H」になる(t1)。またシフトクロック生成回路140では、第3のデマルチプレクス制御信号Bselが立ち上がると、RSFF142の出力信号がリセットされる。そのため、第3のデマルチプレクス制御信号Bselの立ち上がりで論理レベル「L」に変化するシフトクロックICPVが出力される(t4)。その他については、図6又は図10に示すタイミングチャートと共通である。

【0090】

第3の変形例でも、表示パネル内でシフトクロックを生成することができるので、第1の変形例と同様に端子数を削減することができるという効果が得られる。

【0091】

なお、RSFF142のリセット端子Rに、第2のデマルチプレクス制御信号Gselを入力させるようにしてもよい。

【0092】

2. 第2の実施形態

第1の実施形態では、ゲート信号生成回路20においてデマルチプレクス制御信号に基づいてシフトクロックを生成するようにしていた。そのため、第1の実

施形態によれば、シフトクロックの入力端子を削減することができる。しかしながら、本発明はこれに限定されるものではない。

【0093】

第2の実施形態では、ゲート信号生成回路においてシフトクロック及びデマルチプレクス制御信号を生成する。これにより、デマルチプレクス制御信号が2ビット以上のビット数を有する場合に、表示パネルの入力端子を削減することができるようになる。

【0094】

図13に、第2の実施形態における表示パネルの構成の概要を示す。ただし、図1に示す第1の実施形態における表示パネル10と同一部分には同一符号を付し、適宜説明を省略する。

【0095】

第2の実施形態における表示パネル200が第1の実施形態における表示パネル10と異なる点は、ゲート信号生成回路20に代えてゲート信号生成回路210を含む点である。ゲート信号生成回路210がスタートパルス信号STVをシフトしてゲート信号GATE₁～GATE_Mを生成する点は、ゲート信号生成回路20と共通する。しかしながらゲート信号生成回路210は、シフトクロック源信号（入力シフトクロック）CPV3に基づいて、ゲート信号GATE₁～GATE_Mを生成するためのシフトクロックと、デマルチプレクス制御信号を生成することができる。シフトクロック源信号CPV3は、その周波数が図4に示すシフトクロックICPVの周波数の3倍である信号である。

【0096】

図14に、第2の実施形態におけるゲート信号生成回路210の構成例を示す。ただし、図4に示すゲート信号生成回路20と同一部分には同一符号を付し、適宜説明を省略する。ゲート信号生成回路210は、シフトレジスタ30と、シフトクロック生成回路220と、デマルチプレクス制御信号生成回路230とを含む。

【0097】

シフトクロック生成回路220は、シフトクロック源信号CPV3に基づいて

、シフトクロックCPVを生成する。シフトクロック生成回路220は、例えば分周回路により構成される。ここで、分周回路は、シフトクロック源信号CPV3の周波数を3分の1にしたシフトクロックICPVを出力する。

【0098】

デマルチプレクス制御信号生成回路230は、シフトクロック源信号CPV3に基づいて、デマルチプレクス制御信号を生成する。ここでデマルチプレクス制御信号は、第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)からなる。そのため、デマルチプレクス制御信号についての入力端子の数「3」(若しくは該デマルチプレクス制御信号を符号化して入力端子の数「2」)を、シフトクロック源信号CPV3に必要な端子数である「1」に削減することができる。

【0099】

図15に、第2の実施形態の動作説明図を示す。第1～第3の色成分信号が多重化されたデータ信号DATAが各信号線に出力される1H期間内に、本来のシフトクロックICPVの3倍の周波数を有するシフトクロック源信号CPV3は、3つのパルスを有する。そこで、当該1H期間内でのシフトクロック源信号CPV3の5種類の立ち上がりエッジ及び立ち下がりエッジED1～ED5を任意に選択可能とする。

【0100】

そして、当該1H期間を規定するシフトクロック源信号CPV3の立ち上がりで第1のデマルチプレクス制御信号Rselの論理レベルを「H」に変化させると共に、シフトクロック源信号CPV3のエッジED1～ED5のいずれかで第1のデマルチプレクス制御信号Rselの論理レベルを「L」に変化させる。

【0101】

同様に、シフトクロック源信号CPV3のエッジED1～ED5のいずれかで第2及び第3のデマルチプレクス制御信号Gsel、Bselの論理レベルを「H」、「L」に変化させる。

【0102】

こうすることで、第1～第3のデマルチプレクス制御信号Rsel、Gsel

、Bselは、シフトクロック源信号CPV3のエッジED1～ED5のいずれかによって規定されるパルス幅WD1～WD3を有するパルス信号として生成される。

【0103】

なお、時分割タイミングに合わせて、各色成分用信号は、対応する第1～第3の色成分用信号線に切り替えて出力される必要がある。そのため、当該時分割タイミングに合わせて排他的にアクティブとなる第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)のパルス信号を生成する必要がある。

【0104】

また、シフトクロックICPVについても、第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)と同様に、当該1H期間を規定するシフトクロック源信号CPV3の立ち上がりでその論理レベルを「H」、「L」に変化させてもよい。これにより、第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)の生成回路の一部を共用することができ、分周回路を用いることなくパルス幅WD4を有するシフトクロックCPV3を生成することができる。

【0105】

以下では、このようなシフトクロック生成回路220及びデマルチプレクス制御信号生成回路230について、具体的に説明する。

【0106】

図16に、シフトクロック生成回路220及びデマルチプレクス制御信号生成回路230の構成例を示す。ここでは、シフトクロック源信号CPV3の立ち上がりエッジ及び立ち下がりエッジの位置を任意に選択可能とすることで、シフトクロックICPV、第1～第3のデマルチプレクス制御信号Rsel、Gsel、Bselのパルス幅を設定可能な構成となっている。

【0107】

なお、図16においては、第1及び第2のデマルチプレクス制御信号(Rsel、Gsel)の立ち下がりエッジの検出タイミングで、第2及び第3のデマルチプレクス制御信号(Gsel、Bsel)の立ち上がりを規定し、回路構成の

簡略化が図られる。

【0108】

エッジ検出回路 240 は、シフトクロック源信号 CPV3 のエッジを検出する。より具体的には、エッジ検出回路 240 は、立ち上がりエッジ検出回路と立ち下がりエッジ検出回路とを含み、シフトクロック源信号 CPV3 の立ち上がりエッジ及び立ち下がりエッジを検出する。エッジ検出回路 240 は、シフトクロック源信号 CPV3 のエッジを検出すると、検出パルスを出力する。

【0109】

カウンタ 242 は、エッジ検出回路 240 から出力された検出パルスの数をカウントする 5 進カウンタである。より具体的には、カウンタ 242 は、検出パルスの立ち上がりに同期してカウント値「0」からカウントを開始し、該立ち上がりに同期して順次カウント値をインクリメントする。そして、カウンタ 242 のカウント値が「5」のときに検出パルスが入力されると、カウント値を「0」に戻してカウントを続ける。

【0110】

カウンタ 242 のカウント値「1」～「5」は、それぞれ図 15 に示すシフトクロック源信号 CPV3 のエッジ ED1～ED5 に対応している。したがって、カウンタ 242 から出力されるカウント値が所与の設定値と一致したとき、制御対象の信号をセットしたり（論理レベル「L」から「H」に変化させたり）、リセットしたり（論理レベル「H」から「L」に変化させたり）することで、任意に設定可能なパルス幅を有する信号を生成することができる。

【0111】

比較回路 244 は、シフトクロック ICPV 及び第 1 のデマルチプレクス制御信号 Rse1 のセットタイミングを生成する。比較回路 244 は、カウンタ 242 から出力されたカウント値が CPV セット設定レジスタ 245 に保持された「0」と一致したとき、比較結果信号を論理レベル「H」に変化させる。比較回路 244 の比較結果信号は、RSFF 260、262 のセット端子 S に入力される。

【0112】

比較回路 246 は、シフトクロック ICPV のリセットタイミングを生成する。比較回路 246 は、カウンタ 242 から出力されたカウント値が CPV リセット設定レジスタ 247 に保持された値と一致したとき、比較結果信号を論理レベル「H」に変化させる。比較回路 246 の比較結果信号は、RSFF 260 のリセット端子 R に入力される。

【0113】

比較回路 248 は、第 1 のデマルチプレクス制御信号 Rsel のリセットタイミングを生成する。比較回路 248 は、カウンタ 242 から出力されたカウント値が Rsel リセット設定レジスタ 249 に保持された値と一致したとき、比較結果信号を論理レベル「H」に変化させる。比較回路 248 の比較結果信号は、RSFF 262 のリセット端子 R と RSFF 264 のセット端子 S とに入力される。

【0114】

比較回路 250 は、第 2 のデマルチプレクス制御信号 Gsel のリセットタイミングを生成する。比較回路 250 は、カウンタ 242 から出力されたカウント値が Gsel リセット設定レジスタ 251 に保持された値と一致したとき、比較結果信号を論理レベル「H」に変化させる。比較回路 250 の比較結果信号は、RSFF 264 のリセット端子 R と RSFF 266 のセット端子 S とに入力される。

【0115】

比較回路 252 は、第 3 のデマルチプレクス制御信号 Bsel のリセットタイミングを生成する。比較回路 252 は、カウンタ 242 から出力されたカウント値が Bsel リセット設定レジスタ 253 に保持された値と一致したとき、比較結果信号を論理レベル「H」に変化させる。比較回路 252 の比較結果信号は、RSFF 264 のリセット端子 R と RSFF 266 のセット端子 S とに入力される。

【0116】

RSFF 260、262、264、266 は、それぞれセット端子 S、リセット端子 R、出力端子 Q を有する。各 RSFF は、セット端子 S への入力信号の論

理レベルが「H」のとき、出力端子Qから出力される出力信号をセットし、論理レベル「H」にする。また各RSFFは、リセット端子Rへの入力信号の論理レベルが「H」のとき、出力端子Qから出力される出力信号をリセットし、論理レベル「L」にする。

【0117】

RSFF260の出力端子Qから、シフトクロックICPVが出力される。RSFF262の出力端子Qからは、第1のデマルチプレクス制御信号Rselが出力される。RSFF264の出力端子Qからは、第2のデマルチプレクス制御信号Gselが出力される。RSFF266の出力端子Qからは、第3のデマルチプレクス制御信号Bselが出力される。

【0118】

図17に、図16に示すシフトクロック生成回路220及びデマルチプレクス制御信号生成回路230の動作例のタイミングチャートを示す。

【0119】

ここでは、CPVリセット設定レジスタ247に、シフトクロック源信号CPV3のエッジED3に対応する設定値「3」が設定されている。またRselリセット設定レジスタ249に、シフトクロック源信号CPV3のエッジED1に対応する設定値「1」が設定されている。またGselリセット設定レジスタ251に、シフトクロック源信号CPV3のエッジED3に対応する設定値「3」が設定されている。更にまた、Bselリセット設定レジスタ253に、シフトクロック源信号CPV3のエッジED5に対応する設定値「5」が設定されている。

【0120】

したがって、図17に示すように、シフトクロック源信号CPV3に基づいて、パルス幅を任意に制御可能なシフトクロックICPV、第1～第3のデマルチプレクス制御信号Rsel、Gsel、Bselを生成することができる。

【0121】

以上説明したように、第2の実施形態では、ゲート信号をシフトすべきシフトクロックの3倍の周波数を有するシフトクロック源信号を表示パネルに入力させ

、該表示パネル内でシフトクロック源信号に基づいてシフトクロック、第1～第3のデマルチプレクス制御信号を生成するようにした。これにより、LTPSでTFTが形成される表示パネルについて、これまでと同等の機能を有して画質を劣化させることなく、第1～第3のデマルチプレクス制御信号及びシフトクロックの入力端子を減らすことができる。

【0122】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0123】

また、上述した実施形態では、R、G、Bの各色成分に対応する3画素単位で選択されるものとして説明したが、これに限定されるものではない。例えば1、2又は4以上の画素数単位で選択される場合についても同様に適用することが可能である。

【0124】

また、第1～第3のデマルチプレクス制御信号（Rsel、Gsel、Bsel）が周期的にアクティブとなる順序は、上述の実施形態に限定されるものではない。

【0125】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図1】 第1の実施形態における表示パネルの構成の概要を示す構成図。

【図2】 図2（A）、（B）は、色成分用画素の構成例を示す構成図。

【図3】 信号線に出力されるデータ信号とデマルチプレクス制御信号との関係を示す模式図。

【図4】 ゲート信号生成回路の構成例を示す回路構成図。

【図5】 シフトクロック生成回路の構成例を示す回路図。

【図6】 シフトクロック生成回路の動作例のタイミングチャート。

【図 7】 表示パネルの動作タイミング例のタイミングチャート。

【図 8】 比較例における表示パネルの構成の概要を示す構成図。

【図 9】 第 1 の変形例におけるシフトクロック生成回路の構成例を示す回路図。

【図 10】 第 1 の変形例におけるシフトクロック生成回路の動作例のタイミングチャート。

【図 11】 第 2 の変形例におけるシフトクロック生成回路の構成例を示す回路図。

【図 12】 第 2 の変形例におけるシフトクロック生成回路の動作例のタイミングチャート。

【図 13】 第 2 の実施形態における表示パネルの構成の概要を示す構成図。

【図 14】 第 2 の実施形態におけるゲート信号生成回路の構成例を示す回路構成図。

【図 15】 第 2 の実施形態における動作説明図。

【図 16】 第 2 の実施形態におけるシフトクロック生成回路及びデマルチプレクス制御信号生成回路の構成例を示す回路構成図。

【図 17】 第 2 の実施形態におけるシフトクロック生成回路及びデマルチプレクス制御信号生成回路の動作例のタイミングチャート。

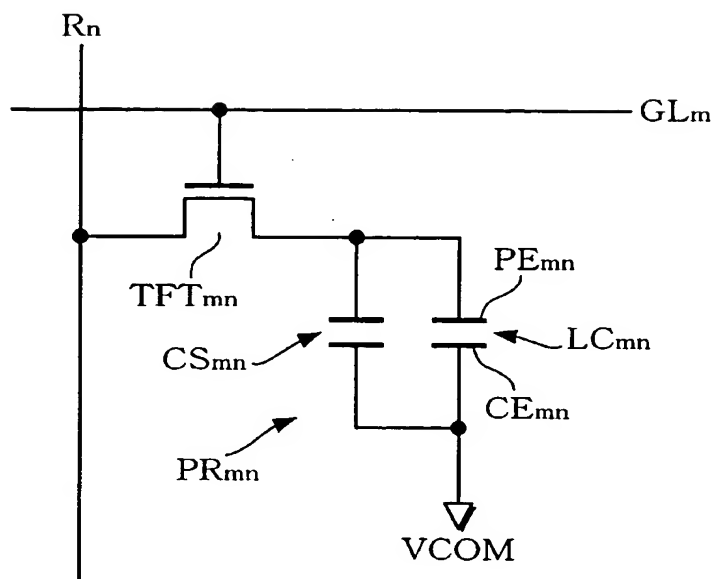
【符号の説明】

10、100、200 表示パネル、20、210 ゲート信号生成回路、30 シフトレジスタ、40、120、140、220 シフトクロック生成回路、42 TFF（Tフリップフロップ）、44 立ち下がりエッジ検出回路、46 遅延素子、142、260、262、264、266 RSFF（RSフリップフロップ）、230 デマルチプレクス制御信号生成回路、240 エッジ検出回路、242 カウンタ、244、246、248、250、252 比較回路、245 CPVセット設定レジスタ、247 CPVリセット設定レジスタ、249 Rselリセット設定レジスタ、251 Gselリセット設定レジスタ、253 Bselリセット設定レジスタ、B₁～B_N 第3の色成分用信

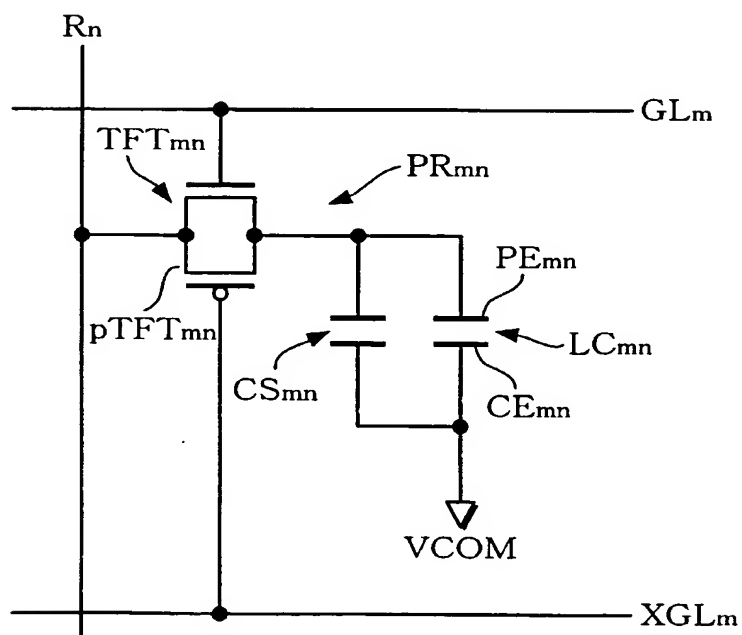
号線、Bsel 第3のデマルチプレクス制御信号、CPV シフトクロック、
CPV3 シフトクロック源信号、DMUX₁～DMUX_N、DMUX_n デマ
ルチプレクサ、DSW1～DSW3 第1～第3のデマルチプレクス用スイッ
チ素子、ED1～ED5 エッジ、G₁～G_N 第2の色成分用信号線、GATE
₁～GATE_M、GATE_m ゲート信号、GL₁～GL_M、GL_m 走査線、
Gsel 第2のデマルチプレクス制御信号、ICPV シフトクロック、R₁
～R_N 第1の色成分用信号線、Rsel 第1のデマルチプレクス制御信号、
SL₁～SL_N 信号線、STV スタートパルス信号、SW1～SW3 第1
～第3のスイッチ素子、WD1～WD4 パルス幅

【図 2】

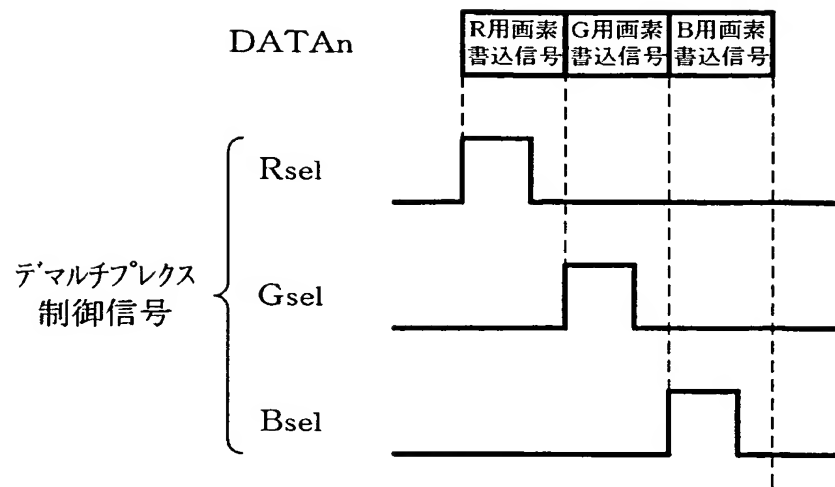
(A)



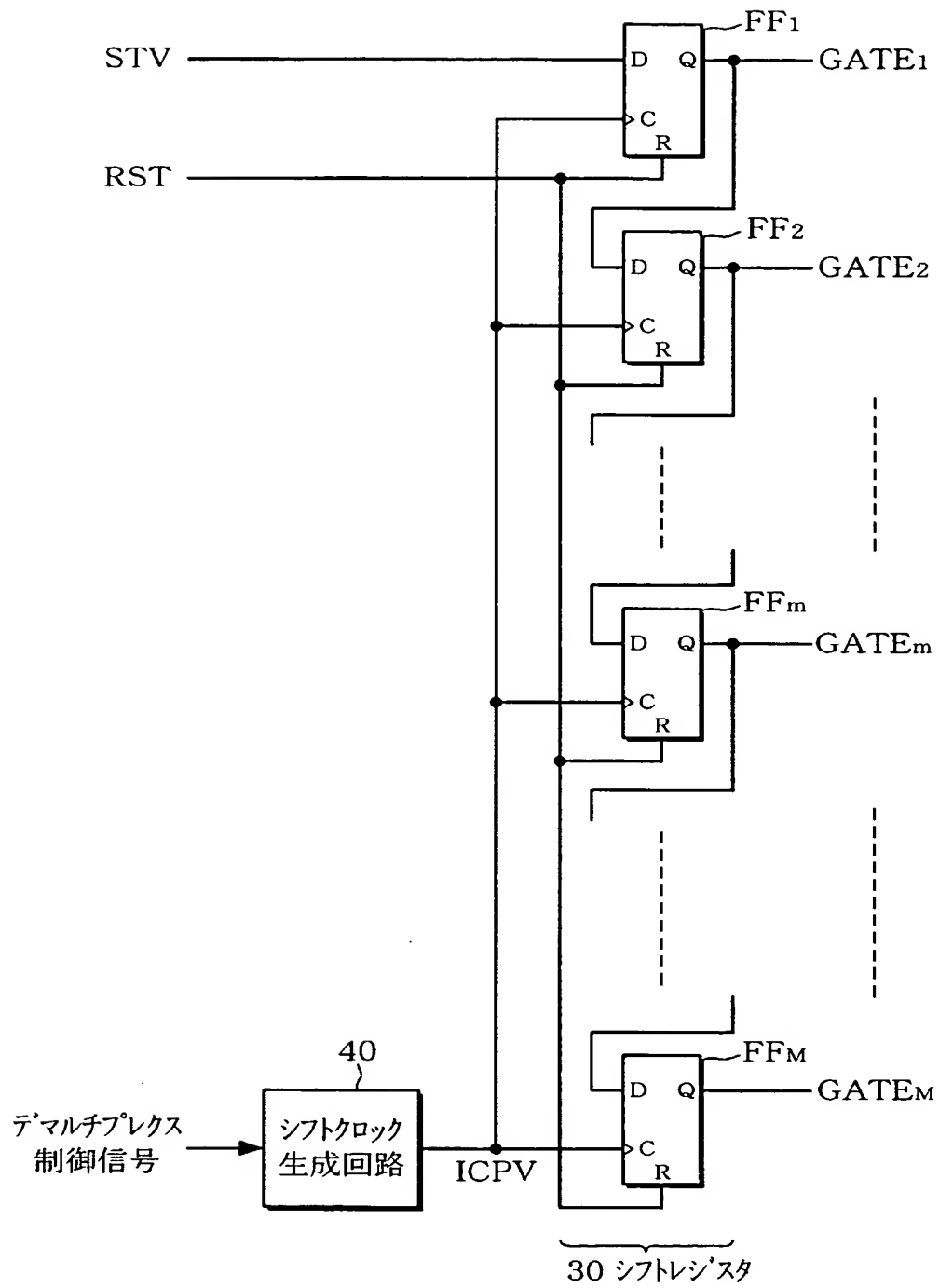
(B)



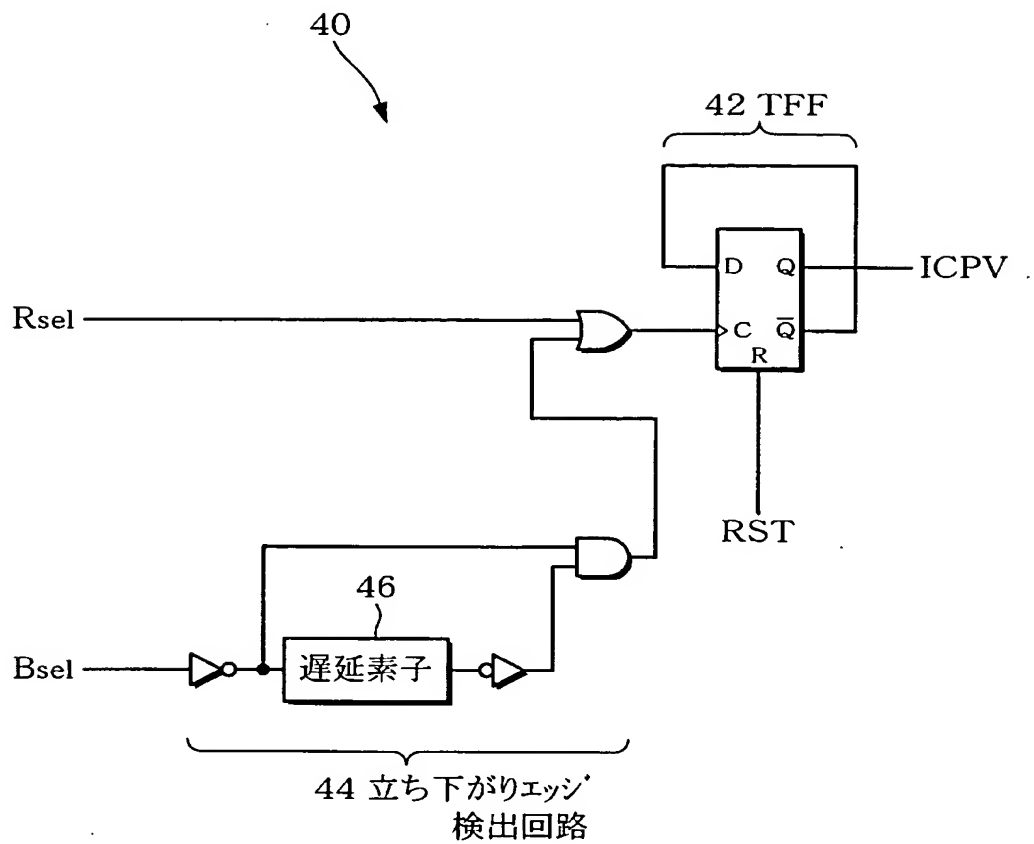
【図 3】



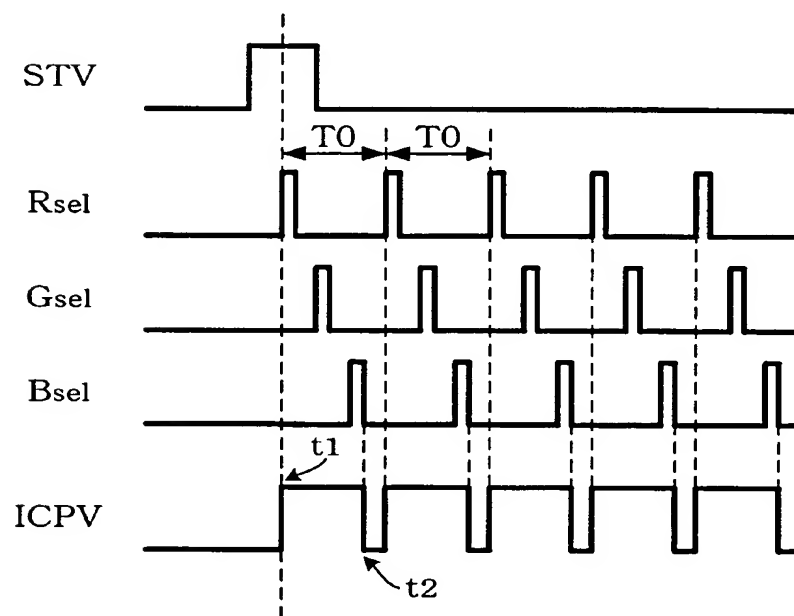
【図 4】



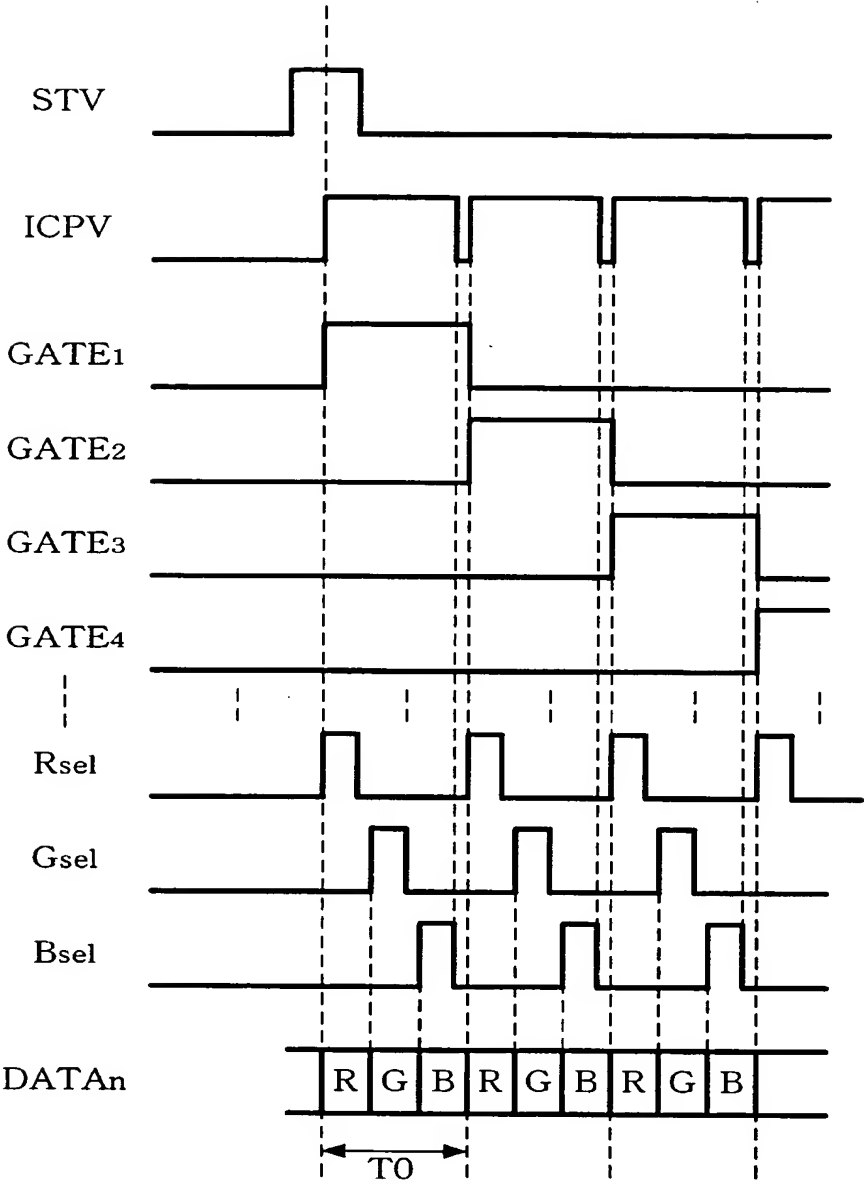
【図 5】



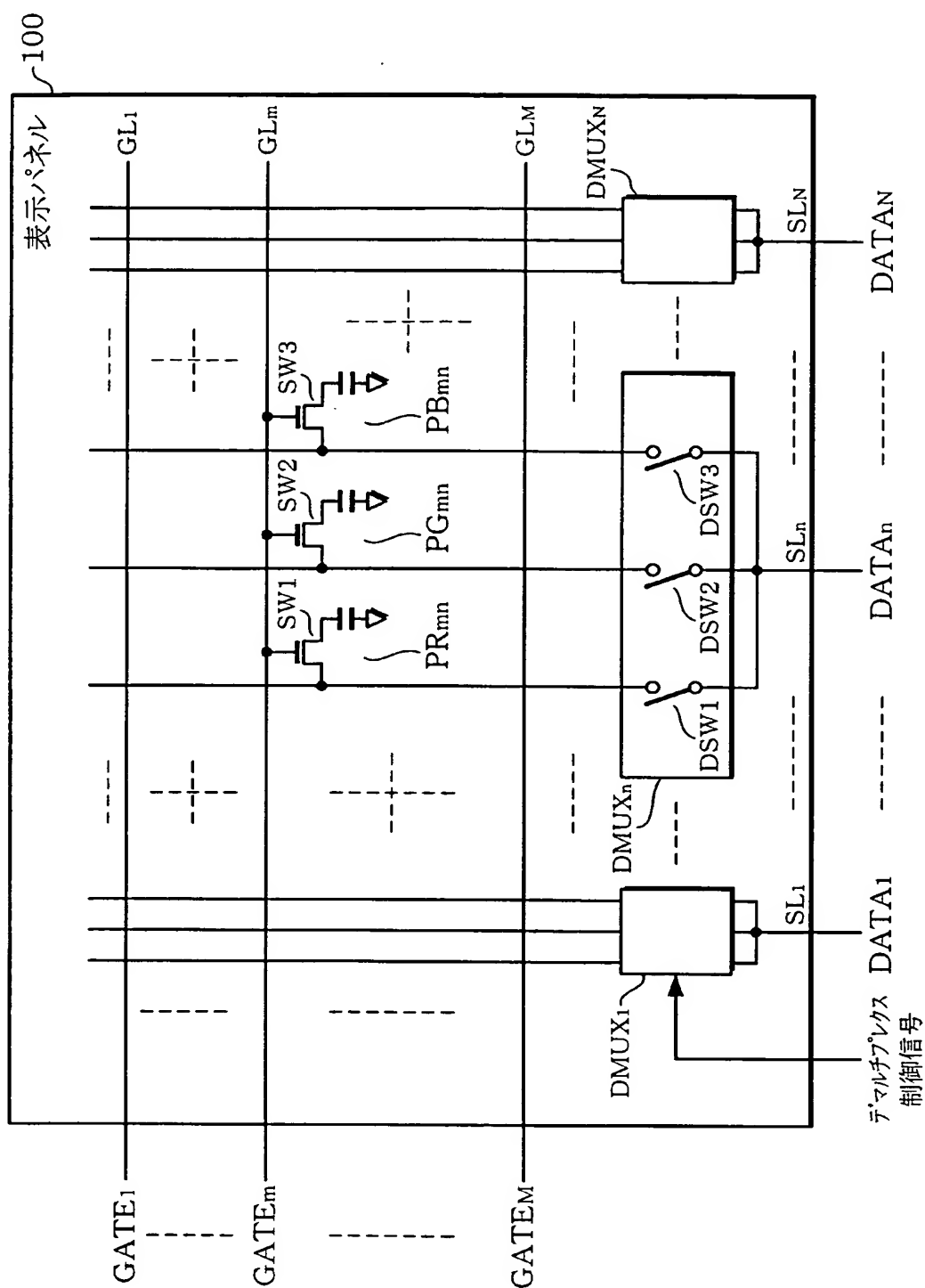
【図 6】



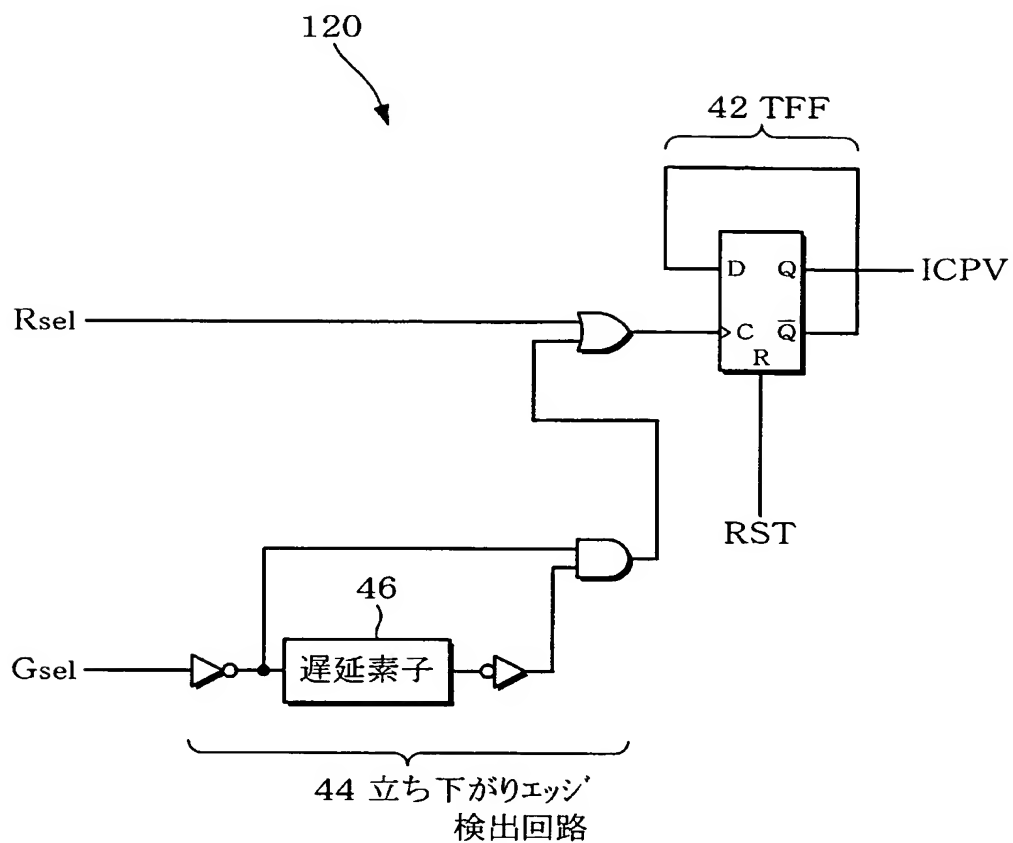
【図 7】



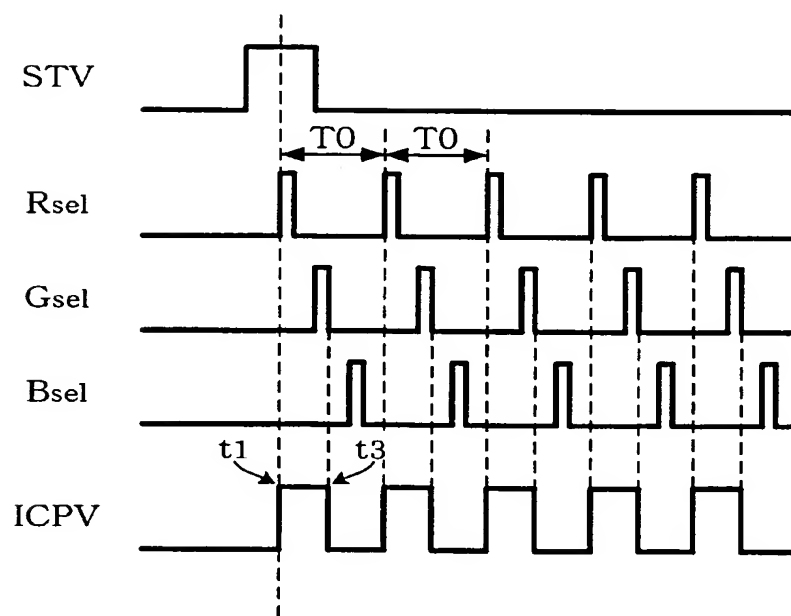
【図 8】



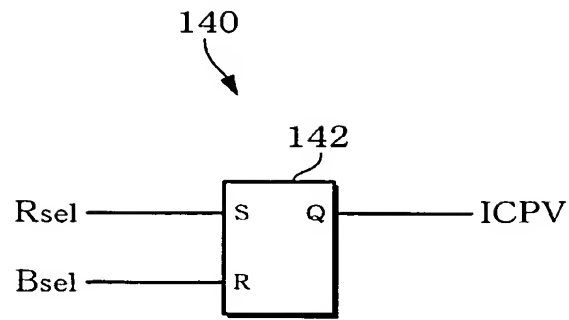
【図 9】



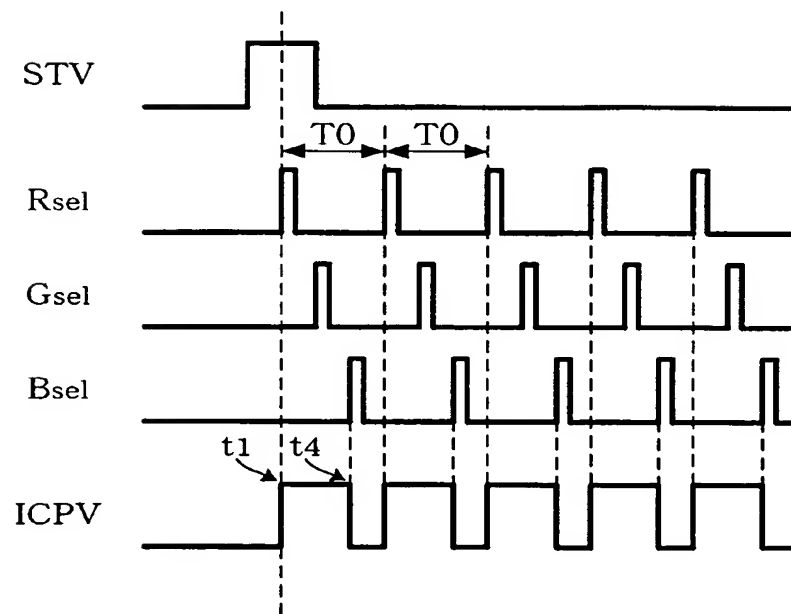
【図 10】



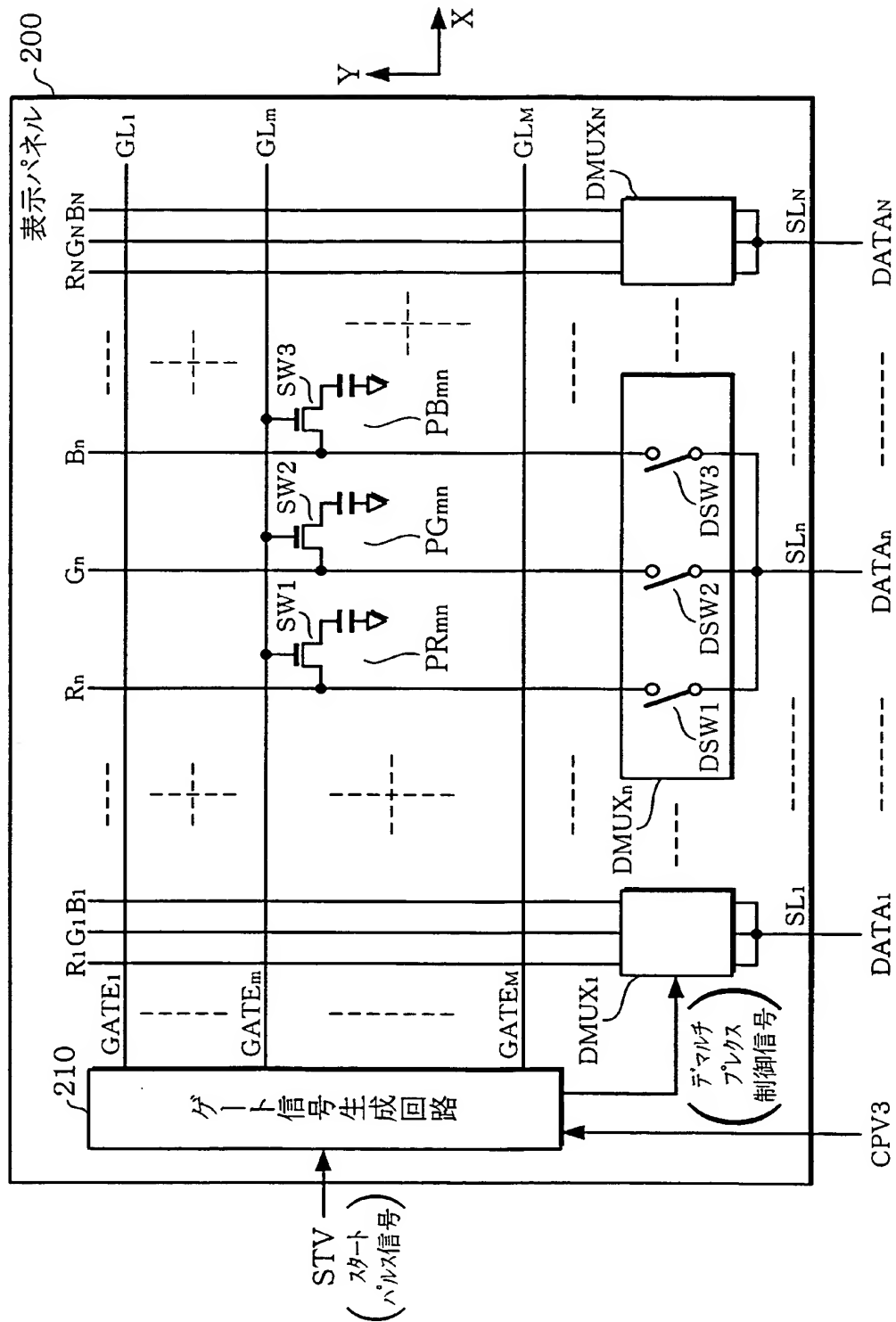
【図 1 1】



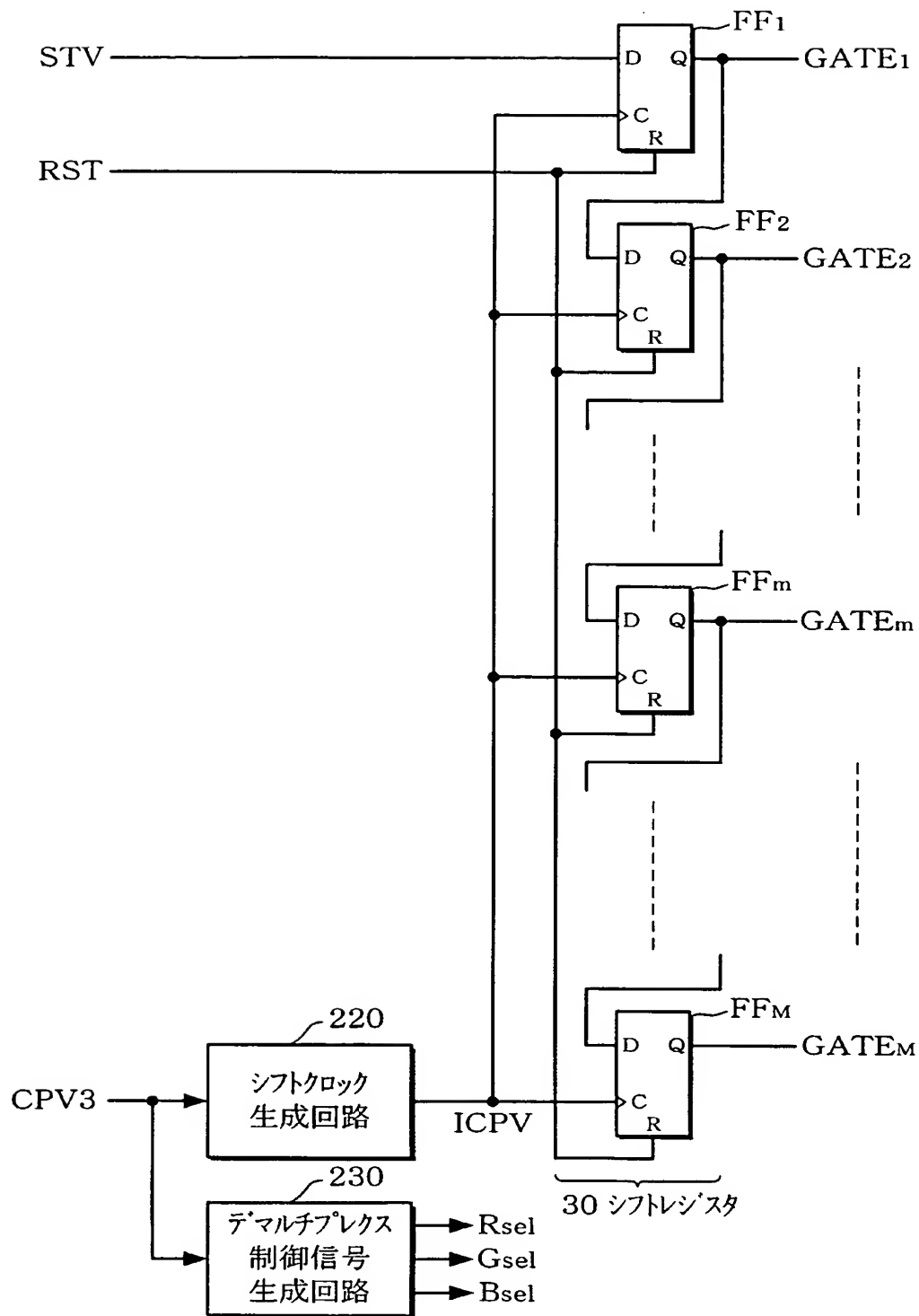
【図 1 2】



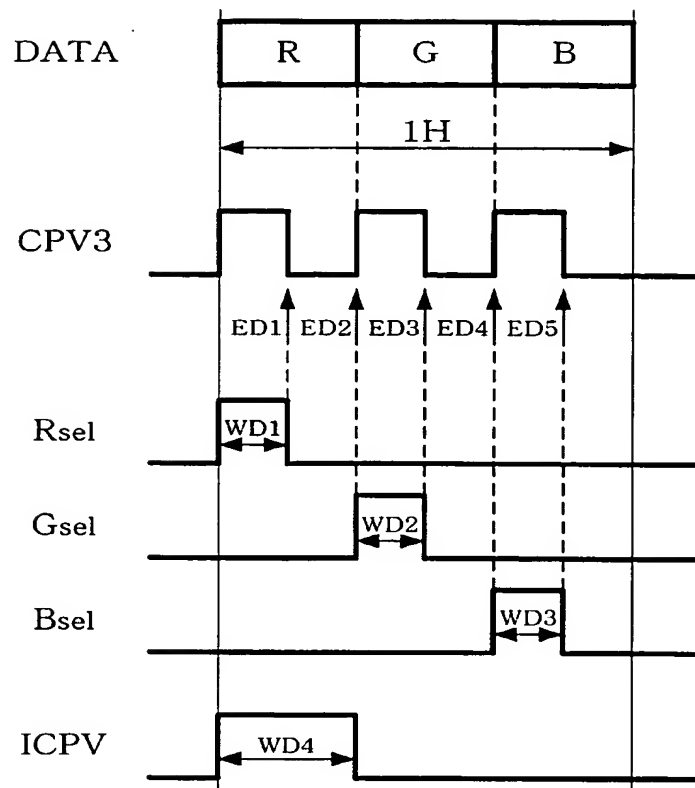
【図 13】



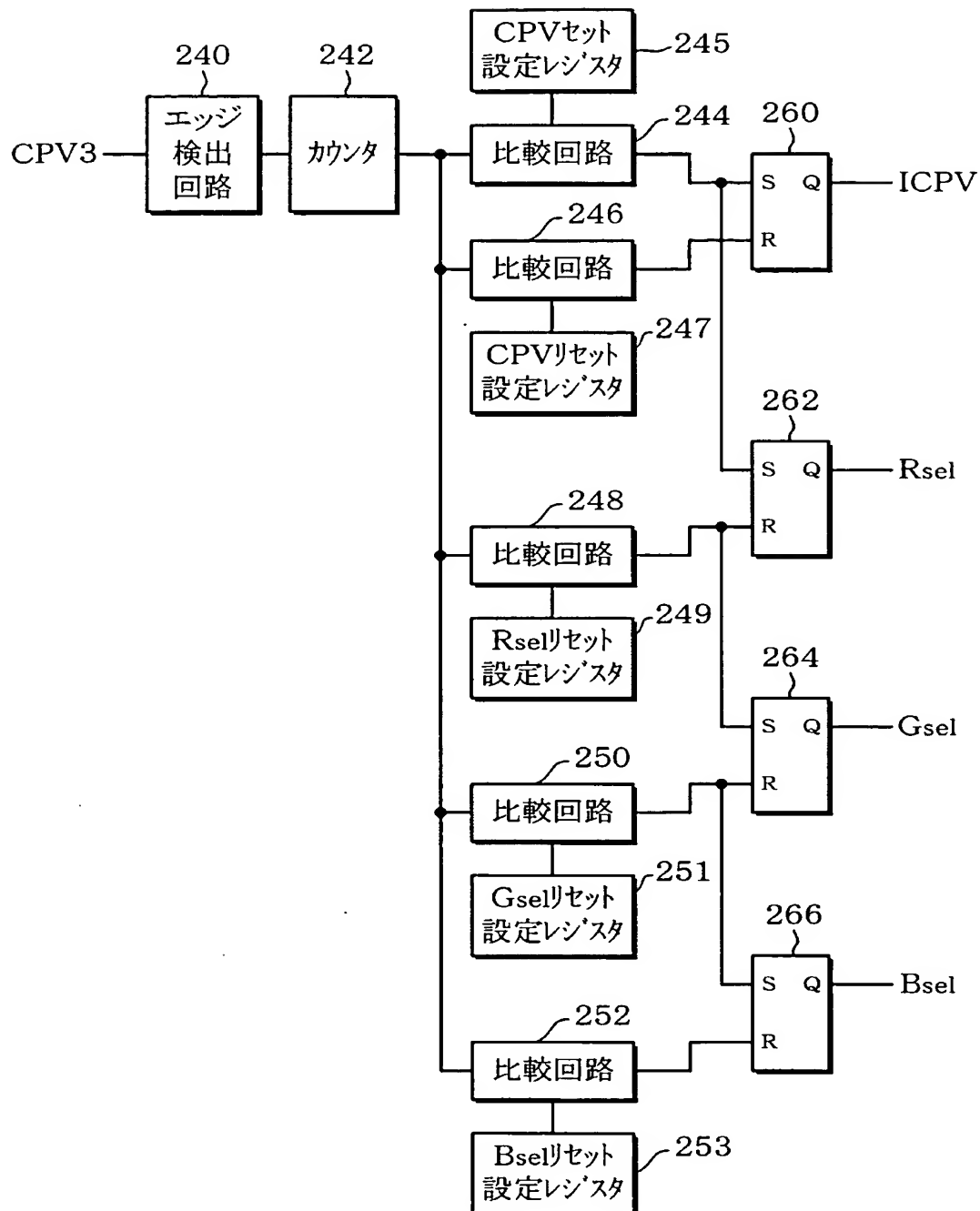
【図 14】



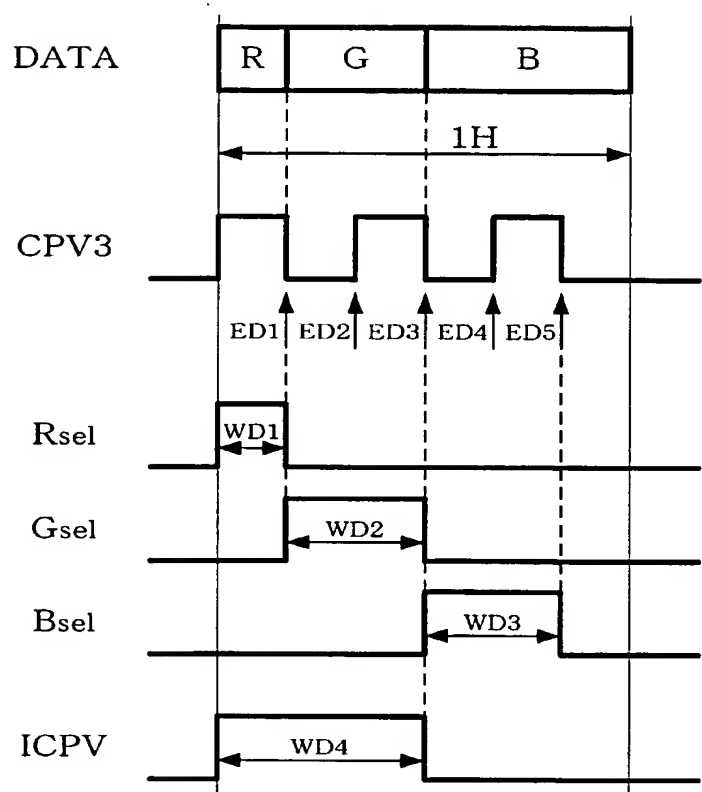
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 例えば電気光学装置と駆動回路とが同一基板上に形成された場合に、画質を劣化させることなく端子数を削減することができる電気光学装置の駆動回路、電気光学装置及びその駆動方法を提供する。

【解決手段】 表示パネル 10 は、複数の画素と、複数の走査線と、各信号線が第 1 ～ 第 3 の色成分用のデータ信号を多重化して伝送される複数の信号線と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数) の色成分用の各画素に接続され、第 1 ～ 第 3 のデマルチプレクス制御信号に基づいてスイッチ制御される第 1 ～ 第 3 のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する。ゲート信号生成回路 20 は、第 1 ～ 第 3 のデマルチプレクス制御信号に基づいてシフトクロックを生成し、該シフトクロックにより所与のスタートパルス信号をシフトして得られたシフト出力に対応する信号を、各走査線に出力する。

【選択図】 図 1

特願 2 0 0 2 - 3 3 7 9 0 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社